

3D-IDEAS

3D Integration and DEsign technology for imager Applications and Systems

I. O'Connor (INL)
J. Charbonnier (CEA)
B. Flechet (IMEP-LAHC)
L. Hébrard (InESS)
P. Coudrain (STMicronics)

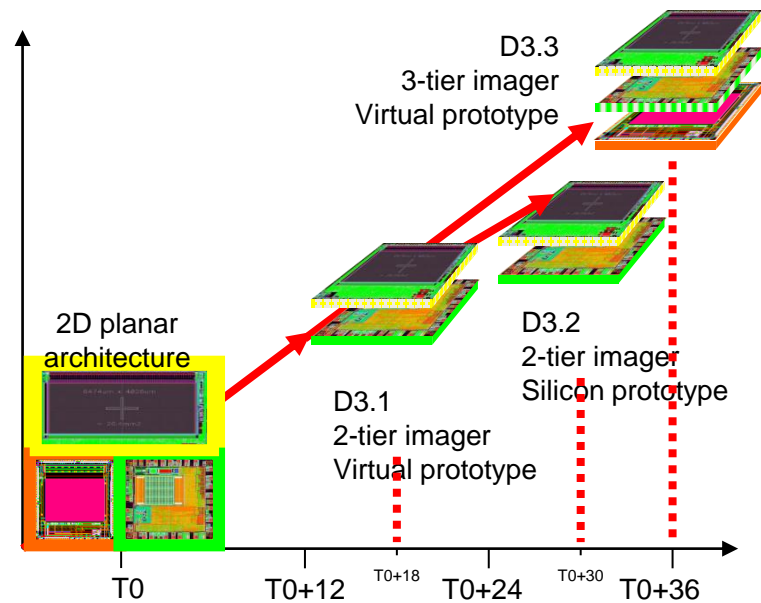
Journées Nationales Nanosciences et
Nanotechnologies 2012



ANR-08-NANO-038

Pourquoi un imageur 3D ?

- Meilleur facteur de forme (et sensibilité du capteur) ; réduction de la longueur des interconnexions ; multiples technologies dédiées
- Quelques verrous :
 - Technologie d'intégration
 - Impact thermique
 - Espace de conception



Présentation générale du projet 3D-IDEAS

- Projet de type “Recherche industrielle”
- Défi 2 : Miniaturisation et complexité
- T0 1/3/2009 ; durée 36 + 9 mois
- Objectifs
 - technologie d'intégration **3DWLP fiabilisée**
 - technologie de conception (**modélisation** et **outils de conception** physique et architecturale)
 - démonstration sur un cas d'étude **imageur 3D**
- Partenaires



Procédés pour l'intégration 3D

- Remplissage de TSV en polymère → meilleure fiabilité

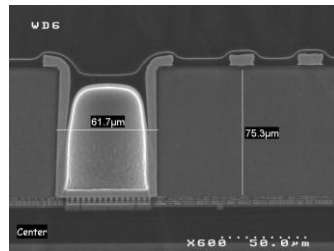
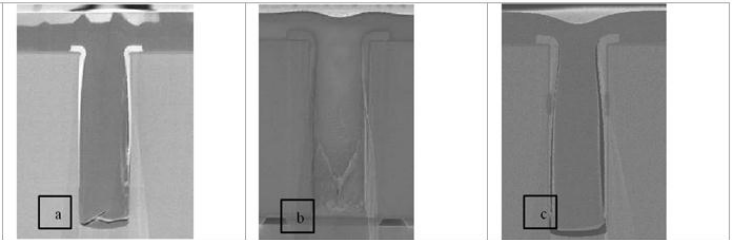
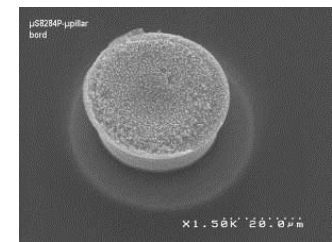
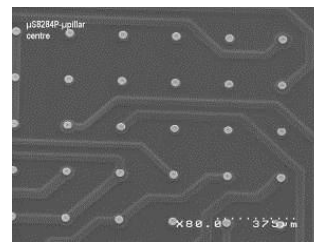
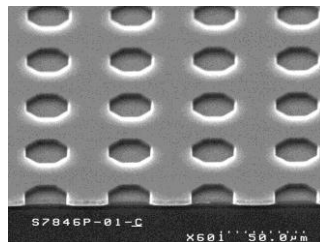


Figure 3: Cross section SEM pictures of (40x120) μm via after via filling with:

- a) TMMR-S2000
- b) SINR-DF3170
- c) AL-X2030



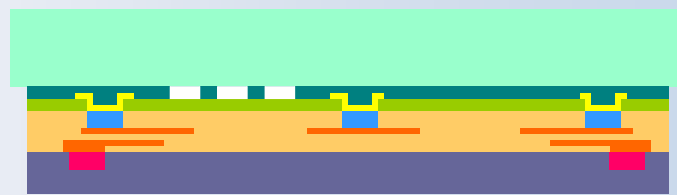
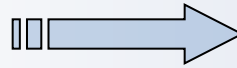
- Ouverture de passivation à 15 μm → compatibilité avec intégration piliers Cu



Process flow

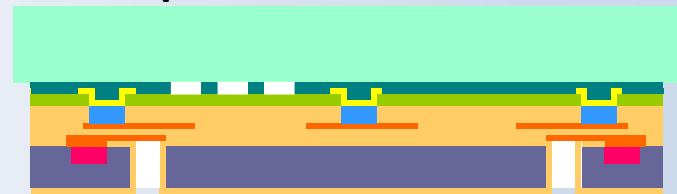
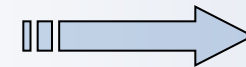
Collage/Amincissement

- Collage SINR 7 μ m
- Grinding/edge dicing
- CMP \rightarrow 90 μ m

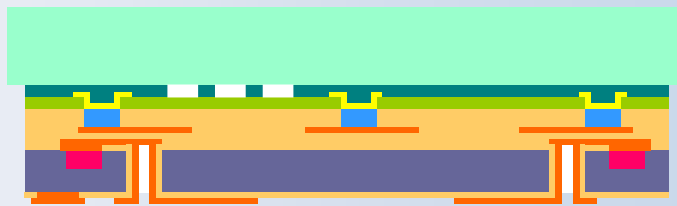
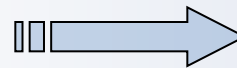


Process FAR: TSV Last + RDL + Passivation + Bump

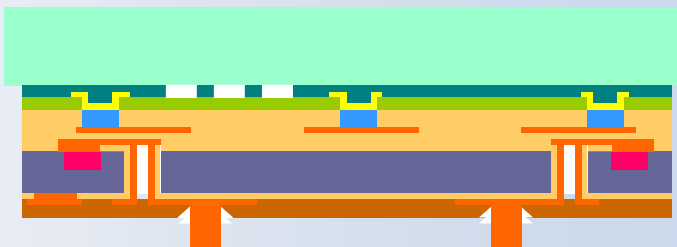
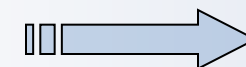
- TSV**
- Litho TSV JSR335 – 5 μ m
 - Gravure TSV AR2
 - Dépôt SiON conf 3 μ m
 - Etch back



- RDL**
- SEED TiCu
 - Litho RDL FS 15 μ m
 - ECD Cu 10 μ m
 - Litho PASSIV ALX 7 μ m

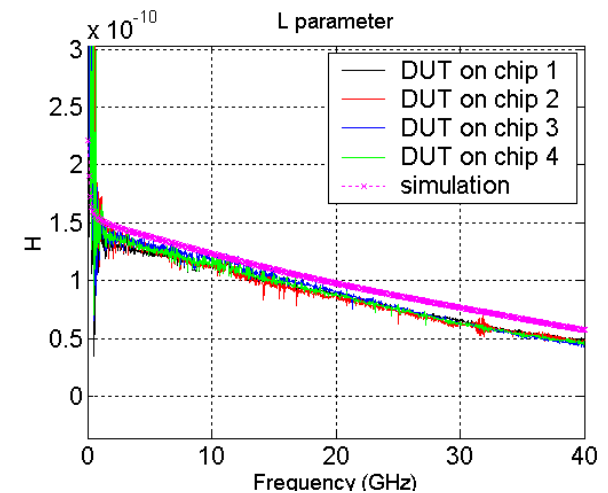
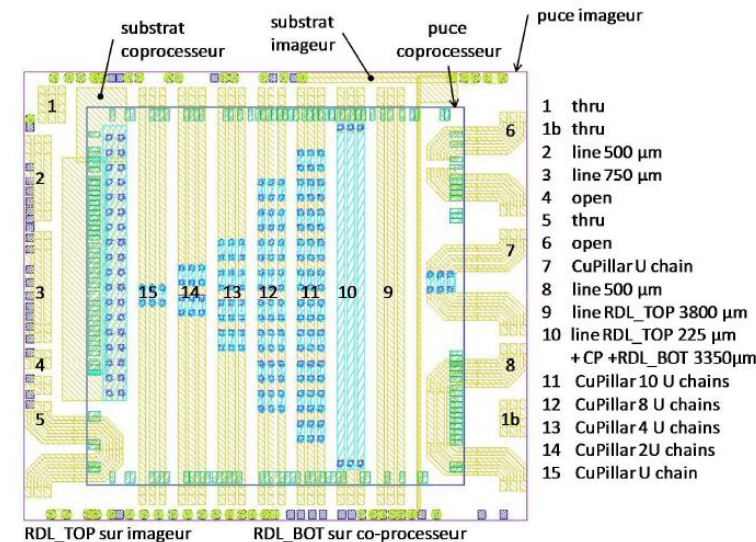


- BUMP**
- Dépôt TiCu
 - Litho Bump
 - ECD Cu 40 μ m
 - Gravure TiCu



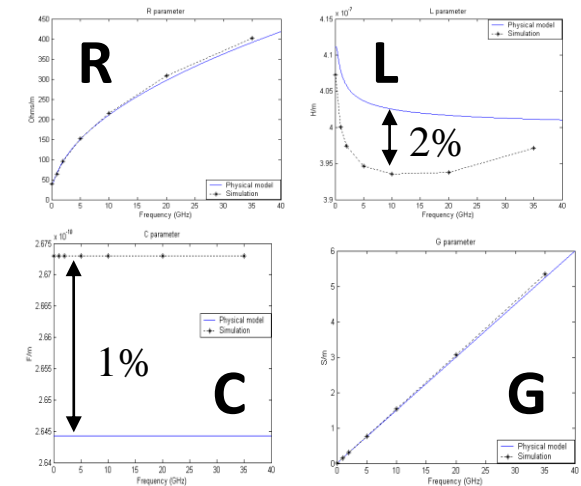
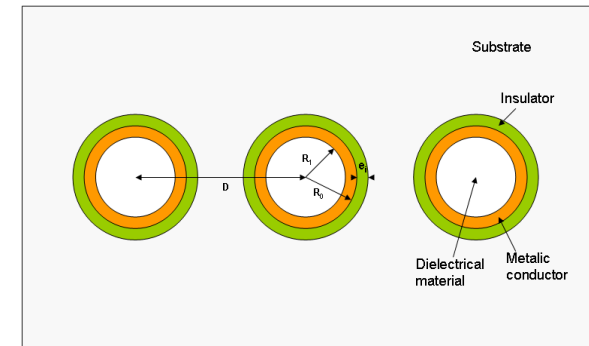
Caractérisation expérimentale des TSVs

- Véhicules de test spécifiques – TSVs et micropiliers Cu
- Protocole de caractérisation
- Caractérisation de la transmission des signaux et extraction des paramètres RLCG des TSV moyenne densité (DC-40GHz)



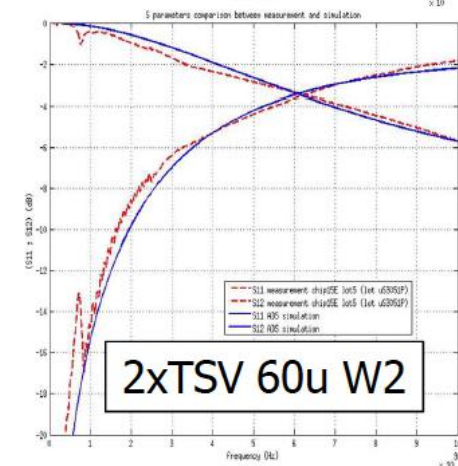
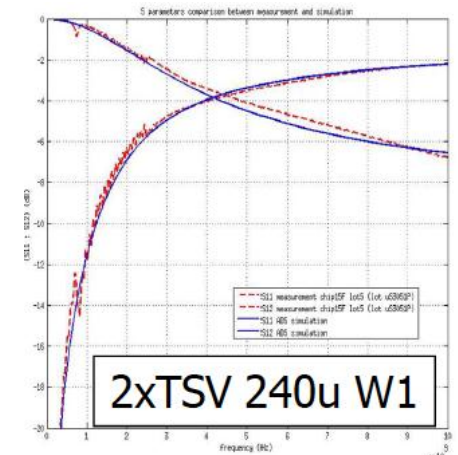
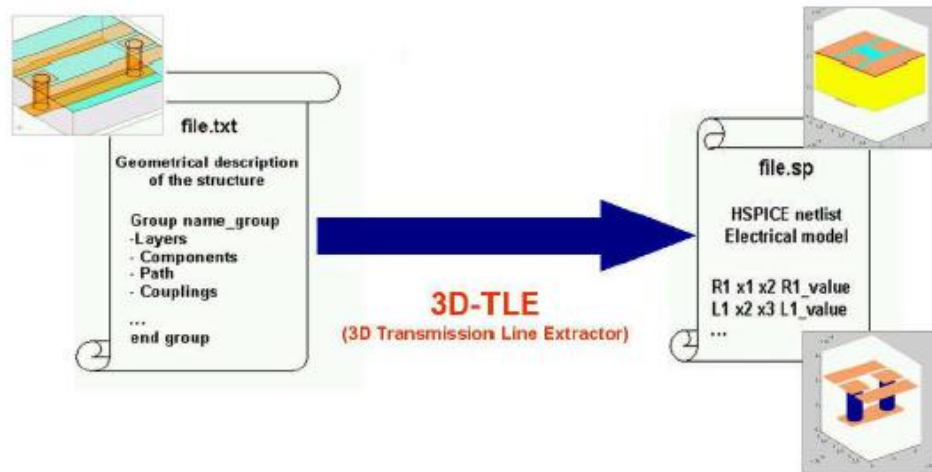
Modélisation analytique des TSVs

- Développement de modèles RLCG physiques et prédictifs
 - Prise en compte de tous les paramètres physiques (dimensions, caractéristiques matériaux), formules simples
 - Modèles large bande (effet de peau), excellente précision pour les fréquences d'intérêt (DC-40GHz)



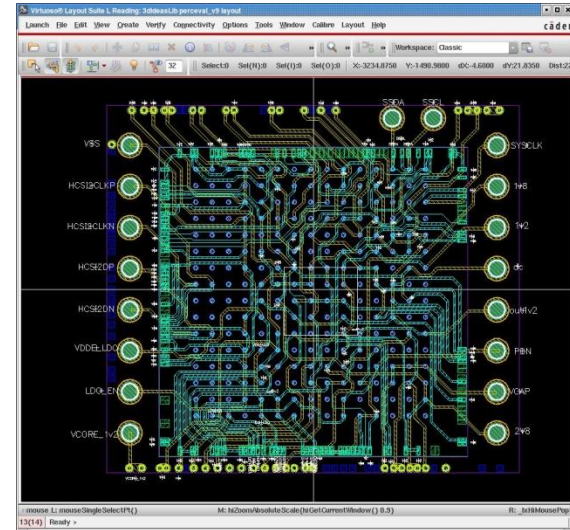
Modélisation compacte des TSVs

- Génération automatique de netlistes SPICE des modèles compacts
- Modélisation des couplages



Conception physique 3D multi-technologie

- Physical design kit (PDK) cohérent avec le process flow 3D et les layers utilisés pour l'interconnexion 3D (RDL, Cu, bump, TSV)
 - DRM
 - Bibliothèque technologique
 - Primitifs physiques (masques, Pcells)
 - Vérification physique (DRC/LVS)

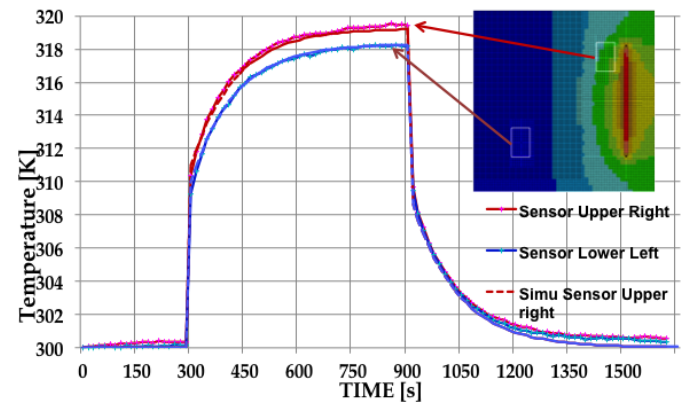
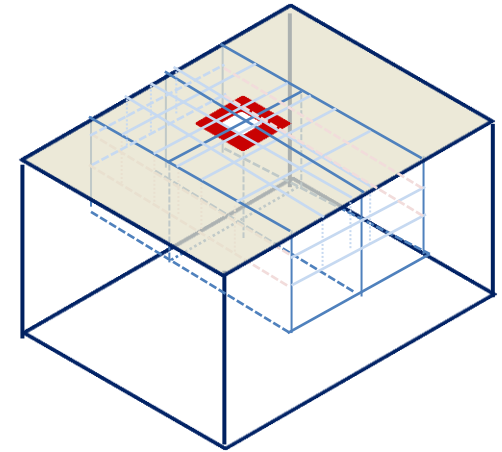


cadence®

Mentor
Graphics

Modélisation électrothermique 3D

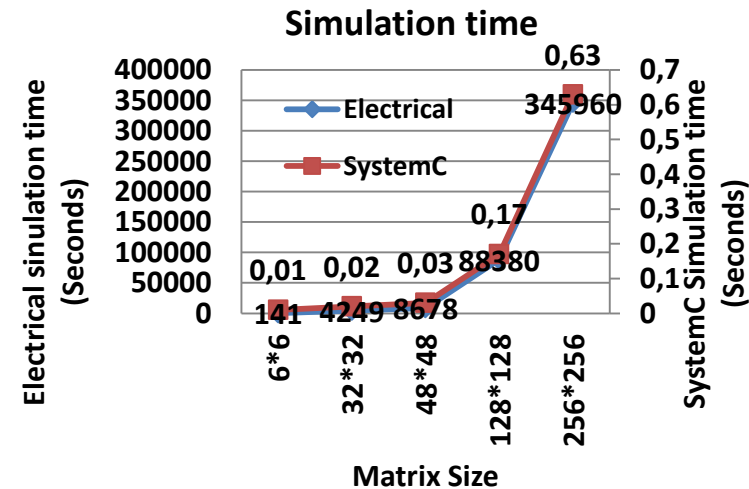
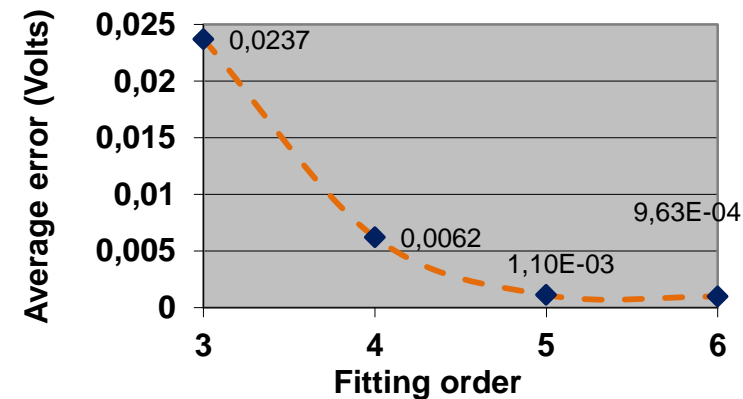
- Modèles électrothermiques pour les circuits utilisés (pixel, AOP, CAN ...)
- Maillage adaptatif (multi-résolution) du réseau thermique pour réduire le temps de simulation sans nuire à la précision
- 25 minutes pour 27000 nœuds dans le réseau thermique



Modélisation système des composants imageur

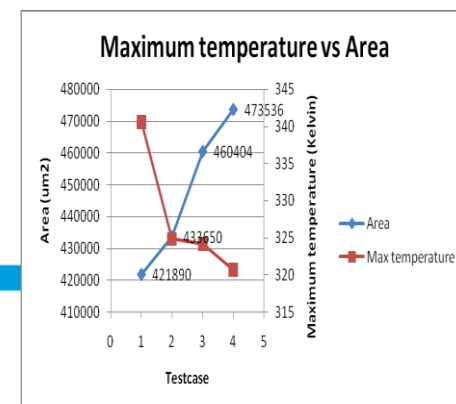
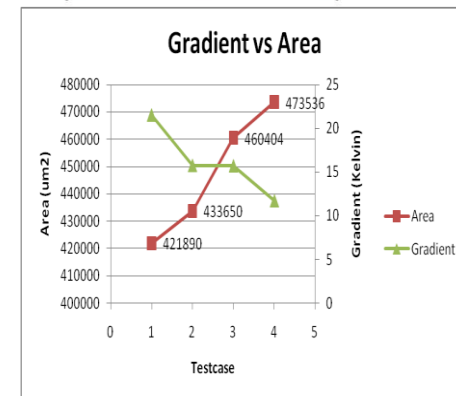
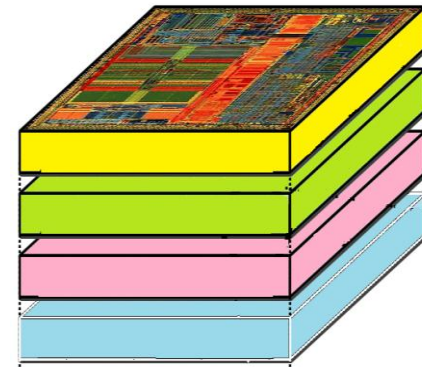
- Modélisation polynomiale d'un pixel à partir de données de simulation physique exhaustive (avec température)
- Réalisation SystemC
- Facteur d'accélération de la simulation 500k
- Erreur < quantum (10 bits)

Average error @ all temperature & time range



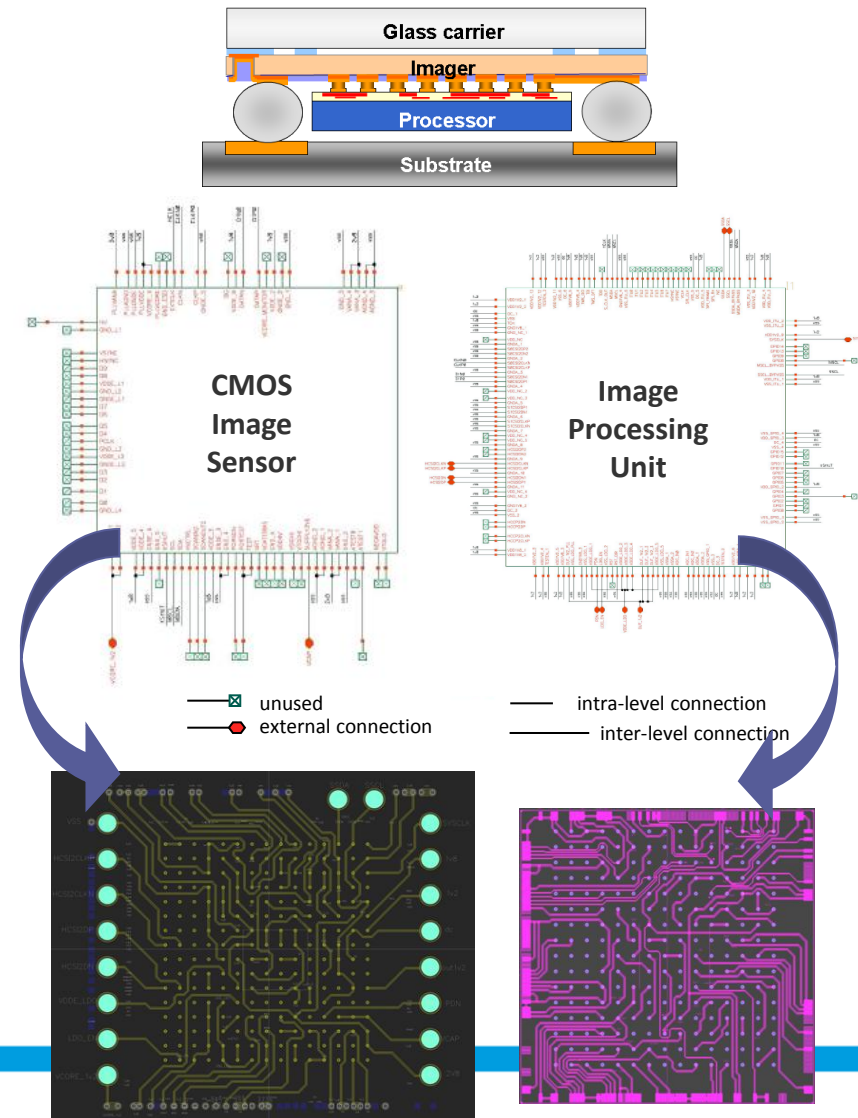
Conception haut-niveau d'un imageur 3D

- Explorer les stratégies de distribution des blocs numériques pour minimiser l'impact sur la couche matrice de pixels
 - Benchmark numérique = Ami33 (connectivité, données sur la taille et la consommation des blocs)
 - 4 couches (matrice de pixel + 3 couches numériques)
- Floorplanning MOFP (3DIM3)
- Simulation thermique



Démonstration silicium

- Empilement capteur d'images sur coprocesseur (STM)
- Capteur d'images : 2MP, $1.75\mu\text{m}/\text{pixel}$, 23.7mm^2 , 80 I/O
- Coprocesseur : 65nm, 14.2mm^2 , 164 I/O
- Interconnexion des deux puces par 2 niveaux RDL



Retombées

- Publications : 1 chapitre de livre, 2 journaux internationaux, 1 conférence invitée, 9 conférences régulières
- Projets connexes : RA ICE³, RA MeSych3D, CATRENE 3DIM3, EU Infieri
- Devenir des CDDs : postdoc -> R3Logic -> Easii-IC, doctorant INL -> CERN, doctorants InESS / IMEP-LAHC à soutenir (fin 2012)
- Compétitivité industrielle (know-how)